



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Off nlegungsschrift**
⑩ **DE 199 16 437 A 1**

⑤1 Int. Cl. 7:
G 06 F 13/00

②1 Aktenzeichen: 199 16 437.1
②2 Anmeldetag: 12. 4. 1999
④3 Offenlegungstag: 3. 2. 2000

DE 199 16 437 A 1

③0 Unionspriorität:
10-216582 31. 07. 1998 JP
⑦1 Anmelder:
Fujitsu Ltd., Kawasaki, Kanagawa, JP
⑦4 Vertreter:
W. Seeger und Kollegen, 81369 München

⑦2 Erfinder:
Noriaki, Kogushi, Kawasaki, Kanagawa, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Ausgabepufferschaltung, die eine stabile Operation und Kostenreduzierung erzielt

⑤7 Eine Ausgabepufferschaltung enthält einen ersten Ausgangstransistor, der zwischen einer ersten Leistungsleitung und einem Ausgangsknoten angeschlossen ist, einen zweiten Ausgangstransistor, der zwischen dem Ausgangsknoten und einer zweiten Leistungsleitung angeschlossen ist, eine Ausgangstransistorsteuerschaltung, die einen Ein-/Auszustand der ersten und zweiten Ausgangstransistoren steuert, und einen Kondensator zum Steuern einer Durchgangsrate eines Ausgabesignals, das zum Ausgangsknoten ausgegeben wird, wobei die Ausgangstransistorsteuerschaltung eine Hinaufziehschaltung, die zwischen der ersten Leistungsleitung und einem gegebenen Knoten angeschlossen ist, eine Herabziehschaltung, die zwischen dem gegebenen Knoten und der zweiten Leistungsleitung angeschlossen ist, eine erste Schaltvorrichtung, die zwischen einem Gate des ersten Ausgangstransistors und dem gegebenen Knoten angeschlossen ist, eine zweite Schaltvorrichtung, die zwischen der ersten Leistungsleitung und dem Gate des ersten Ausgangstransistors angeschlossen ist, eine dritte Schaltvorrichtung, die zwischen dem Gate des zweiten Ausgangstransistors und dem gegebenen Knoten angeschlossen ist, und eine vierte Schaltvorrichtung enthält, die zwischen dem Gate des zweiten Ausgangstransistors und der zweiten Leistungsleitung angeschlossen ist, wobei der Kondensator zwischen dem Ausgangsknoten und dem gegebenen Knoten angeschlossen ist.

DE 199 16 437 A 1

HINTERGRUND DER ERFINDUNG

1. Gebiet der Erfindung

Die vorliegende Erfindung betrifft eine Ausgabepufferschaltung eines Durchgangsratensteuertyps, der auf einer integrierten Halbleiterschaltung implementiert ist.

In vergangenen Jahren wurde ein USB-Standard als ein Kommunikationsstandard für Personalcomputerumgebungen zunehmend populär. Dieser Standard definiert eine Anstiegszeit T_r und eine Abfallzeit T_f eines Ausgabesignals. Um die Erfordernisse für die Anstiegszeit und die Abfallzeit zu erfüllen, wird allgemein eine Ausgabepufferschaltung eines Durchgangsratensteuertyps verwendet.

2. Beschreibung der zugehörigen Technik

Die Fig. 9 ist ein Schaltungsdiagramm, das ein Beispiel einer Konfiguration einer Ausgabepufferschaltung der zugehörigen Technik zeigt. Die Fig. 9 zeigt einen Anschlußfleck 1, der als ein Ausgabeanschluß dient, eine Treiberschaltung 2 zum Zuführen eines Ausgabesignals AUS zum Anschlußfleck 1 in Abhängigkeit von Treibereingaben PEN und NEN, und eine Vorspannungsschaltung 3 zum Zuführen von Spannungen VP, VCNTR und VN ($VP > VCNTR > VN$) zur Treiberschaltung 2.

In der Treiberschaltung 2 ist von einem pMOS-Transistor 4 eine Quelle an eine VDD-Leistungsleitung angeschlossen und empfängt ein Gate davon die Spannung VP, und er dient als ein Widerstand. Von einem pMOS-Transistor 5 ist eine Quelle an eine Drain des pMOS-Transistors 4 angeschlossen, ist eine Drain davon an einen Knoten N1 angeschlossen, und erhält ein Gate davon die Treibereingabe NEN. Ein Ein-/Ausschaltzustand des pMOS-Transistors 5 wird durch die Treibereingabe NEN gesteuert; Der pMOS-Transistor 4 und der pMOS-Transistor 5 bilden zusammen eine Hinaufziehschaltung.

Von einem nMOS-Transistor 6 ist eine Drain an den Knoten N1 angeschlossen und erhält ein Gate davon die Treibereingabe PEN, und er wird durch die Treibereingabe PEN bezüglich eines Ein-/Ausschaltzustandes davon gesteuert. Von einem nMOS-Transistor 7 ist eine Drain an die Quelle des nMOS-Transistors 6 angeschlossen, ist eine Quelle davon an eine VSS-Leistungsleitung angeschlossen, und erhält ein Gate davon die Spannung VN, und er funktioniert als ein Widerstand. Der nMOS-Transistor 6 und der nMOS-Transistor 7 bilden zusammen eine Herabziehschaltung.

Ein Operationsverstärker 8 hat einen nichtinvertierten Eingangsknoten, der eine Spannung am Knoten N1 erhält, und einen invertierten Eingangsknoten, der die Spannung VCNTR erhält. Die Treibereingabe PEN steuert, ob der Operationsverstärker 8 aktiviert ist. Wenn die Treibereingabe PEN auf einem HOCH-Pegel ist, ist der Operationsverstärker 8 aktiviert. Wenn andererseits die Treibereingabe PEN auf einem NIEDRIG-Pegel ist, ist der Operationsverstärker 8 deaktiviert.

Ein Operationsverstärker 9 hat einen nichtinvertierten Eingangsknoten, der die Spannung am Knoten N1 erhält und einen invertierten Eingangsknoten, der die Spannung VCNTR erhält. Die Treibereingabe NEN steuert, ob der Operationsverstärker 9 aktiviert ist: Wenn die Treibereingabe NEN auf dem HOCH-Pegel ist, ist der Operationsverstärker 9 deaktiviert. Wenn andererseits die Treibereingabe NEN auf dem NIEDRIG-Pegel ist, ist der Operationsverstärker 9 aktiviert.

Von einem pMOS-Transistor 10 ist eine Quelle an die

VDD-Leistungsleitung angeschlossen, ist ein Gate davon an einen Ausgabeanschluß des Operationsverstärkers 8 angeschlossen, und ist eine Drain davon an den Anschlußfleck 1 angeschlossen. Der pMOS-Transistor 10 wird als ein Ausgangstransistor für einen Hinaufziehzweck verwendet.

Von einem nMOS-Transistor 11 ist eine Drain an den Anschlußfleck 1 angeschlossen, ist ein Gate davon an einen Ausgabeanschluß des Operationsverstärkers 9 angeschlossen, und ist eine Quelle davon an die VSS-Leistungsleitung angeschlossen. Der nMOS-Transistor 11 wird als ein Ausgangstransistor für einen Herabziehzweck verwendet.

Von einem pMOS-Transistor 12 ist eine Quelle an die VDD-Leistungsleitung angeschlossen, ist eine Drain davon an das Gate des pMOS-Transistors 10 angeschlossen und erhält ein Gate davon die Treibereingabe PEN. Ein Ein-/Ausschaltzustand des pMOS-Transistors 12 wird durch die Treibereingabe PEN gesteuert.

Von einem nMOS-Transistor 13 ist eine Drain an das Gate des nMOS-Transistors 11 angeschlossen, ist eine Quelle davon an die VSS-Leistungsleitung angeschlossen, und erhält ein Gate davon die Treibereingabe NEN. Die Treibereingabe NEN steuert den Ein-/Ausschaltzustand des nMOS-Transistors 13.

In dieser Konfiguration bilden die pMOS-Transistoren 4, 5 und 12, die nMOS-Transistoren 6, 7 und 13 und die Operationsverstärker 8 und 9 zusammen eine Ausgangstransistorsteuerschaltung.

Ein Kondensator 14 wird zum Steuern einer Durchgangsrates des Ausgabesignals AUS verwendet, d. h. wird zum Steuern einer Anstiegszeit T_r und einer Abfallzeit T_f verwendet. Hier ist die Anstiegszeit T_r definiert als eine Zeitperiode, die für das Ausgabesignal AUS erforderlich ist, um von 10% auf 90% einer Maximalspannung davon anzusteigen, und die Abfallzeit T_f ist als eine Zeitperiode definiert, die für ein Ausgabesignal AUS erforderlich ist, um von 90% auf 10% einer Maximalspannung davon abzufallen.

In der Vorspannungsschaltung 3 ist von einem pMOS-Transistor 15 eine Quelle an die VDD-Leistungsleitung angeschlossen, und ist ein Gate davon an eine Drain davon angeschlossen, und die Drain ist an das Gate des pMOS-Transistors 4 angeschlossen. Von einem nMOS-Transistor 16 ist ein Gate an eine Drain davon angeschlossen, welche wiederum an das Gate des nMOS-Transistors 7 angeschlossen ist, und ist ferner eine Quelle davon an die VSS-Leistungsleitung angeschlossen.

Ein Widerstand 17 und ein Widerstand 18 sind in Reihe zwischen der Drain des pMOS-Transistors 15 und der Drain nMOS-Transistors 16 angeschlossen. Ein Verbindungspunkt zwischen dem Widerstand 17 und dem Widerstand 18 ist an die invertierten Eingangsknoten der Operationsverstärker 8 und 9 angeschlossen.

In der Vorspannungsschaltung 3 dienen der pMOS-Transistor 15, die Widerstände 17 und 18 und der nMOS-Transistor 16 als Potentialteilerelemente. Die Spannung VP wird an der Drain des pMOS-Transistors 15 erzeugt, und die Spannung VCNTR wird an dem Verbindungspunkt zwischen dem Widerstand 17 und dem Widerstand 18 erzeugt. Ferner wird an der Drain des nMOS-Transistors 16 die Spannung VN erzeugt.

In der Ausgabepufferschaltung, die eine Konfiguration hat, wie sie oben beschrieben wurde, werden der pMOS-Transistor 5 und der nMOS-Transistor 6 ein- bzw. ausgeschaltet, wenn beide der Treibereingaben PEN und NEN HOCH sind, wie in der Fig. 10 gezeigt ist. In diesem Fall wird die Spannung am Knoten N1 NIEDRIG.

Auch wird der pMOS-Transistor 12 ausgeschaltet und wird der Operationsverstärker 8 aktiviert, so daß der Operationsverstärker 8 eine Ausgabe PDRV zuführt, die NIED-

RIG ist. Dies schaltet den pMOS-Transistor 10 ein. Ferner wird der Operationsverstärker deaktiviert, und wird der nMOS-Transistor 13 eingeschaltet, so daß der nMOS-Transistor 11 ausgeschaltet wird. Das Ausgangssignal AUS ist somit auf dem HOCH-Pegel.

Wenn der Kondensator 14 nicht vorgesehen wäre, würde das Ausgangssignal AUS sofort ansteigen, wenn der pMOS-Transistor 10 eingeschaltet wird. Wegen der Präsenz des Kondensators 14 wird jedoch die Anstiegszeit T_r des Ausgangssignals AUS länger, da der Kondensator 14 anfänglich elektrische Ladung hält.

Dies wird anhand eines elektrischen Stromflusses beschrieben. Wenn sowohl die Treibereingabe PEN, als auch die Treibereingabe NEN HOCH sind, wird ein Strom I_{p1} über eine Entladung des nichtinvertierten Eingangsknotens des Operationsverstärkers 8 erzeugt, und wird ein Strom I_{c1} durch Ladung erzeugt, die vom Kondensator 14 zugeführt wird. Der Strom I_{p1} und der Strom I_{c1} fließt in die VSS-Leistungsleitung über die nMOS-Transistoren 6 und 7. Der Strombetrag I_{n2} , der durch die nMOS-Transistoren 6 und 7 fließen kann, ist durch den eingeschalteten Widerstand des nMOS-Transistors 7 beschränkt, d. h. ist durch die Spannung VN beschränkt. Deswegen kann nur ein beschränkter Strombetrag, der geringer als ein Strom I_{fb1} ist, der den Strom I_{p1} und den Strom I_{c1} kombiniert, durch die nMOS-Transistoren 6 und 7 zur VSS-Leistungsleitung fließen. Als ein Ergebnis zeigt der nichtinvertierte Eingangsknoten des Operationsverstärkers 8 keinen rapiden Spannungsabfall, so daß der pMOS-Transistor 10 graduell eingeschaltet wird. Dies verlängert die Anstiegszeit T_r des Ausgangssignals AUS.

Auf diese Weise kann die Anstiegszeit T_r des Ausgangssignals AUS der Ausgabepufferschaltung eingestellt werden durch Steuern der Spannung VN, die an das Gate des nMOS-Transistors 7 angelegt ist. Die Steuerung der Spannung VN kann bewirkt werden durch Ändern der Widerstandswerte der Widerstände 17 und 18 in der Vorspannungsschaltung 3. Wenn sowohl die Treibereingabe PEN, als auch die Treibereingabe NEN NIEDRIG sind, wie in der Fig. 11 gezeigt ist, werden der pMOS-Transistor 5 und der nMOS-Transistor 6 ein- bzw. ausgeschaltet, so daß die Spannung am Knoten N1 HOCH wird.

Auch wird der pMOS-Transistor 12 eingeschaltet und wird der Operationsverstärker deaktiviert, so daß der pMOS-Transistor 10 ausgeschaltet wird. Ferner wird der Operationsverstärker 9 aktiviert, so daß eine Ausgabe NDRV des Operationsverstärkers 9 HOCH wird. Da der nMOS-Transistor 13 ausgeschaltet wird, wird der nMOS-Transistor 11 eingeschaltet. In diesem Fall ist daher das Ausgangssignal AUS auf dem NIEDRIG-Pegel.

Wenn der Kondensator 14 nicht vorgesehen wäre, würde das Ausgangssignal AUS sofort abfallen, wenn der nMOS-Transistor 11 eingeschaltet wird. Wegen der Präsenz des Kondensators 14 wird jedoch die Abfallzeit T_f des Ausgangssignals AUS länger, da eine elektrische Ladung vom Kondensator 14 zugeführt wird.

Dies wird anhand eines elektrischen Stromflusses beschrieben. Wenn sowohl die Treibereingabe PEN, als auch die Treibereingabe NEN NIEDRIG sind, wird ein Strom I_{n1} durch Ladung erzeugt, die dem nichtinvertierten Eingangsknoten des Operationsverstärkers 9 zugeführt wird, und wird ein Strom I_{c2} durch Ladung erzeugt, die dem Kondensator 14 zugeführt wird. Der Strom I_{n1} und der Strom I_{c2} fließen durch die pMOS-Transistoren 4 und 5.

Der Strombetrag I_{p2} , der durch die pMOS-Transistoren 4 und 5 fließen kann, ist durch den eingeschalteten Widerstand des pMOS-Transistors 4 beschränkt, d. h. ist durch die Spannung VP beschränkt. Deswegen kann nur ein be-

schränkter Strombetrag, der geringer als ein Strom I_{fb2} ist, der den Strom I_{n1} und den Strom I_{c2} kombiniert, durch die pMOS-Transistoren 4 und 5 von der VDD-Leistungsleitung fließen. Als ein Ergebnis zeigt der nichtinvertierte Eingangsknoten des Operationsverstärkers 9 keinen rapiden Spannungsanstieg, so daß der nMOS-Transistor 11 graduell eingeschaltet wird. Dies verlängert die Abfallzeit T_f des Ausgangssignals AUS.

Auf diese Weise kann die Abfallzeit T_f des Ausgangssignals AUS der Ausgabepufferschaltung eingestellt werden durch Steuern der Spannung VP, die an das Gate des pMOS-Transistors 4 angelegt wird. Die Steuerung der Spannung VP kann bewirkt werden durch Ändern der Widerstandswerte der Widerstände 17 und 18 in der Vorspannungsschaltung 3.

Wenn die Treibereingabe PEN NIEDRIG ist und die Treibereingabe NEN HOCH ist (nicht gezeigt), wird der Operationsverstärker 8 deaktiviert, und wird der pMOS-Transistor 12 eingeschaltet, so daß der pMOS-Transistor 10 ausgeschaltet wird. Ferner wird der Operationsverstärker 9 deaktiviert, und wird der nMOS-Transistor 13 eingeschaltet, so daß der nMOS-Transistor 11 ausgeschaltet wird. In diesem Fall wird der Ausgang in einen Hochimpedanzzustand gesetzt.

Bei der Ausgabepufferschaltung des Standes der Technik, wie sie in der Fig. 9 gezeigt ist, hängt die Spannung VCNTR, die den invertierten Eingangsknoten der Operationsverstärker 8 und 9 zugeführt wird, vom Widerstandswert des Widerstandes 17 und des Widerstandes 18 ab. Um stabile Operationen der Operationsverstärker 8 und 9 zu sichern und eine Stabilität der Ausgabeoperationen sicherzustellen, müssen der Widerstandswert des Widerstandes 17 und der Widerstandswert des Widerstandes 18 identisch sein. Wenn die Widerstandswerte des Widerstandes 17 und des Widerstandes 18 aufgrund inkonsistenter Herstellungsprozesse variieren, können stabile Operationen für die Operationsverstärker 8 und 9 nicht sichergestellt werden, was zu einer unzureichenden Stabilität von Ausgabeoperationen führt. Unter einigen Temperaturbedingungen, Leistungsspannungen, etc. können die Anstiegszeit T_r und die Abfallzeit T_f des Ausgangssignals AUS von dem Bereich abweichen, der durch den USB-Standard definiert ist.

Die Verwendung der Operationsverstärker 8 und 9 hilft, um zuverlässige Operationen des pMOS-Transistors 10 und des nMOS-Transistors 11 sicherzustellen, die ein Ausgangstransistorpaar bilden, selbst wenn die Ströme I_{p1} und I_{n1} klein sind. Die Verwendung von zwei Operationsverstärkern 8 und 9 führt jedoch zu einer erhöhten Anzahl von Schaltungselementen, was einer Kostenverringerung entgegenwirkt. Auch machen es Verstärkungsoperationen der Operationsverstärker 8 und 9 schwierig, eine Durchgangsrate einzustellen.

Entsprechend gibt es einen Bedarf für eine Ausgabepufferschaltung eines Durchgangsratesteuertyps, die stabile Ausgabeoperationen selbst bei vorhandenen Herstellungsprozessvariationen sicherstellen kann und durch eine verringerte Anzahl von Schaltungselementen implementiert werden kann, um eine Kostenverringerung zu erleichtern.

Ferner gibt es einen Bedarf für eine Ausgabepufferschaltung eines Durchgangsratesteuertyps, die stabile Ausgabeoperationen selbst bei Vorhandensein von Herstellungsprozessvariationen sicherstellen kann und durch eine verringerte Anzahl von Schaltungselementen implementiert werden kann, um eine Kostenverringerung zu erleichtern, während eine Durchführung einer leichten Einstellung für eine Durchgangsrate gestattet ist.

ÜBERBLICK ÜBER DIE ERFINDUNG

Entsprechend ist es ein allgemeines Ziel der vorliegenden Erfindung, eine Ausgabepufferschaltung bereitzustellen, die die oben beschriebenen Erfordernisse erfüllen kann.

Es ist ein weiteres und genaueres Ziel der vorliegenden Erfindung, eine Ausgabepufferschaltung eines Durchgangsratensteuertyps bereitzustellen, die stabile Ausgaboperationen selbst bei Vorhandensein von Herstellungsprozeßvariationen sicherstellen kann und durch eine verringerte Anzahl von Schaltungselementen implementiert werden kann, um eine Kostenverringerung zu erleichtern.

Es ist noch ein weiteres Ziel der vorliegenden Erfindung, eine Ausgabepufferschaltung eines Durchgangsratensteuertyps bereitzustellen, die stabile Ausgaboperationen selbst bei Vorhandensein von Herstellungsprozeßvariationen sicherstellen kann und durch eine verringerte Anzahl von Schaltungselementen implementiert werden kann, um eine Kostenverringerung zu erleichtern, während eine Durchführung einer leichten Einstellung für eine Durchgangsrate gestattet ist.

Gemäß einem ersten Aspekt der vorliegenden Erfindung enthält eine Ausgabepufferschaltung einen ersten Ausgangstransistor, der zwischen einer ersten Leistungsleitung und einem Ausgangsknoten angeschlossen ist, einen zweiten Ausgangstransistor, der zwischen dem Ausgangsknoten und einer zweiten Leistungsleitung angeschlossen ist, eine Ausgangstransistorsteuerschaltung, die einen Ein-/Auszustand der ersten und zweiten Ausgangstransistoren steuert, und einen Kondensator zum Steuern einer Durchgangsrate eines Ausgabesignals, das zum Ausgangsknoten ausgegeben wird, wobei die Ausgangstransistorsteuerschaltung eine Hinaufziehschaltung, die zwischen der ersten Leistungsleitung und einem gegebenen Knoten angeschlossen ist, eine Herabziehschaltung, die zwischen dem gegebenen Knoten und der zweiten Leistungsleitung angeschlossen ist, eine erste Schaltvorrichtung, die zwischen einem Gate des ersten Ausgangstransistors und dem gegebenen Knoten angeschlossen ist, eine zweite Schaltvorrichtung, die zwischen der ersten Leistungsleitung und dem Gate des ersten Ausgangstransistors angeschlossen ist, eine dritte Schaltvorrichtung, die zwischen einem Gate des zweiten Ausgangstransistors und dem gegebenen Knoten angeschlossen ist, und eine vierte Schaltvorrichtung enthält, die zwischen dem Gate des zweiten Ausgangstransistors und der zweiten Leistungsleitung angeschlossen ist, wobei der Kondensator zwischen dem Ausgangsknoten und dem gegebenen Knoten angeschlossen ist.

Gemäß dem ersten Aspekt der vorliegenden Erfindung gibt es kein Erfordernis, zwei Operationsverstärker zum Ansteuern der ersten und zweiten Ausgangstransistoren vorzusehen, und die zwei Schaltvorrichtungen, die statt dessen vorgesehen sind, erzielen die beabsichtigte Funktion.

Gemäß einem zweiten Aspekt der vorliegenden Erfindung ist die Ausgabepufferschaltung, wie sie als der erste Aspekt beschrieben wurde, derart, daß der erste Ausgangstransistor einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem eine Drain an den Ausgangsknoten angeschlossen ist, und daß der zweite Ausgangstransistor einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Drain an den Ausgangsknoten angeschlossen ist, die erste Schaltvorrichtung, daß die erste Schaltvorrichtung einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an das Gate des ersten Ausgangstransistors angeschlossen ist, und von dem eine Quelle an den gegebenen

Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch eine erste Treibereingabe gesteuert wird, daß die zweite Schaltvorrichtung einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an das Gate des ersten Ausgangstransistors angeschlossen ist, und von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Ein-/Auszustand durch die erste Treibereingabe gesteuert wird, daß die dritte Schaltvorrichtung einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an das Gate des zweiten Ausgangstransistors angeschlossen ist, und von dem eine Quelle an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch eine zweite Treibereingabe gesteuert wird, und daß die vierte Schaltvorrichtung einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an das Gate des zweiten Ausgangstransistors angeschlossen ist, und von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Ein-/Auszustand durch die zweite Treibereingabe gesteuert wird.

Gemäß einem dritten Aspekt der vorliegenden Erfindung ist die Ausgabepufferschaltung, wie sie als der erste Aspekt oder der zweite Aspekt beschrieben wurde, derart, daß die Hinaufziehschaltung eine erste variable Widerstandsvorrichtung und eine fünfte Schaltvorrichtung enthält, welche erste variable Widerstandsvorrichtung und fünfte Schaltvorrichtung in Reihe zwischen der ersten Leistungsleitung und dem gegebenen Knoten angeschlossen sind, und wobei die Herabziehschaltung eine sechste Schaltvorrichtung und eine zweite variable Widerstandsvorrichtung enthält, welche sechste Schaltvorrichtung und zweite variable Widerstandsvorrichtung in Reihe zwischen dem gegebenen Knoten und der zweiten Leistungsleitung angeschlossen sind.

Gemäß einem vierten Aspekt der vorliegenden Erfindung ist die Ausgabepufferschaltung, wie sie als der dritte Aspekt beschrieben wurde, derart, daß die erste variable Widerstandsvorrichtung einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate eine erste feste Spannung erhält, und die fünfte Schaltvorrichtung einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors der ersten variablen Widerstandsvorrichtung angeschlossen ist, und von dem eine Drain an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch die zweite Treibereingabe gesteuert wird, und wobei die sechste Schaltvorrichtung einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch die erste Treibereingabe gesteuert wird, und die zweite variable Widerstandsvorrichtung einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an die Quelle des n-Kanal-Isolationstyp-Feldeffekttransistor der sechsten Schaltvorrichtung angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate eine zweite feste Spannung erhält.

Gemäß einem fünften Aspekt der vorliegenden Erfindung enthält die Ausgabepufferschaltung, wie sie als der vierte Aspekt beschrieben wurde, ferner eine Vorspannungsschaltung, die erste bis dritte Potentialteilungselemente enthält, die in Reihe zwischen der ersten Leistungsleitung und der zweiten Leistungsleitung angeschlossen sind, wobei ein Verbindungspunkt zwischen den ersten und zweiten Potentialteilungselementen die erste feste Spannung erzeugt, und ein Verbindungspunkt zwischen den zweiten und dritten Potentialteilungselementen die zweite feste Spannung erzeugt.

Gemäß einem sechsten Aspekt der vorliegenden Erfindung ist die Ausgabepufferschaltung, wie sie als der fünfte

Aspekt beschrieben wurde, derart, daß das erste Potentialteilungsselement einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate an eine Drain davon angeschlossen ist, und daß das zweite Potentialteilungsselement einen festen Widerstand enthält, von dem ein Ende an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des ersten Potentialteilungsselements angeschlossen ist, daß das dritte Potentialteilungsselement einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an ein anderes Ende des festen Widerstandes des zweiten Potentialteilungsselements angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate an die Drain davon angeschlossen ist.

Gemäß einem siebten Aspekt der vorliegenden Erfindung ist die Ausgabepufferschaltung, wie sie als der fünfte Aspekt beschrieben wurde, derart, daß das erste Potentialteilungsselement einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate an eine Drain davon angeschlossen ist, und daß das zweite Potentialteilungsselement einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des ersten Potentialteilungsselements angeschlossen ist, und von dem ein Gate an die zweite Leistungsleitung angeschlossen ist, und einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des zweiten Potentialteilungsselements angeschlossen ist, und von dem ein Gate an die erste Leistungsleitung angeschlossen ist, daß das dritte Potentialteilungsselement einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an eine Quelle des n-Kanal-Isolationstyp-Feldeffekttransistors des zweiten Potentialteilungsselements angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate an die Drain davon angeschlossen ist.

Gemäß dem siebten Aspekt der vorliegenden Erfindung besteht die Vorspannungsschaltung nur aus Isolationstyp-Feldeffekttransistoren, so daß eine Einstellung einer Anstiegszeit und einer Abfallzeit des Ausgabesignals leicht durch Steuern von Gatelängen und/oder Gateweiten der Isolationstyp-Feldeffekttransistoren durchgeführt werden kann, die die Vorspannungsschaltung bilden.

Ferner kann, selbst wenn die eingeschalteten Widerstandswerte der p-Kanal-Isolationstyp-Feldeffekttransistoren kleiner werden und die eingeschalteten Widerstandswerte der n-Kanal-Isolationstyp-Feldeffekttransistoren größer werden aufgrund von Herstellungsprozeßvariationen, oder selbst wenn die eingeschalteten Widerstandswerte der p-Kanal-Isolationstyp-Feldeffekttransistoren größer werden und die eingeschalteten Widerstandswerte der n-Kanal-Isolationstyp-Feldeffekttransistoren kleiner werden, ein kombinierter eingeschalteter Widerstandswert des p-Kanal-Isolationstyp-Feldeffekttransistors und des n-Kanal-Isolationstyp-Feldeffekttransistors, die zusammen das zweite Potentialteilungsselement bilden, in einem relativ kleinen Variationsbereich beschränkt werden. Die ersten und zweiten festen Spannungen sind somit stabil.

Gemäß einem achten Aspekt der vorliegenden Erfindung ist die Ausgabepufferschaltung, wie sie als der dritte Aspekt beschrieben wurde, derart, daß die erste variable Widerstandsvorrichtung einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist und von dem ein Gate eine feste Spannung erhält, und daß die fünfte Schaltvorrichtung

einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors der ersten variablen Widerstandsvorrichtung angeschlossen ist, und von dem eine Drain an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch die zweite Treibereingabe gesteuert wird, wobei die sechste Schaltvorrichtung einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch die erste Treibereingabe gesteuert wird, und die zweite variable Widerstandsvorrichtung einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an die Quelle des n-Kanal-Isolationstyp-Feldeffekttransistors der sechsten Schaltvorrichtung angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate die feste Spannung erhält.

Gemäß einem neunten Aspekt der vorliegenden Erfindung enthält die Ausgabepufferschaltung, wie sie als der achte Aspekt beschrieben wurde, ferner eine Vorspannungsschaltung, die erste bis vierte Potentialteilungsselemente enthält, die in Reihe zwischen der ersten Leistungsleitung und der zweiten Leistungsleitung angeschlossen sind, wobei ein Verbindungspunkt zwischen den zweiten und dritten Potentialteilungsselementen die feste Spannung erzeugt.

Gemäß einem zehnten Aspekt der vorliegenden Erfindung ist die Ausgabepufferschaltung, wie sie als der fünfte Aspekt beschrieben wurde, derart, daß das erste Potentialteilungsselement einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate an eine Drain davon angeschlossen ist, und daß das zweite Potentialteilungsselement einen festen Widerstand enthält, von dem ein Ende an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des ersten Potentialteilungsselements angeschlossen ist, und wobei das dritte Potentialteilungsselement einen festen Widerstand enthält, von dem ein Ende an ein anderes Ende des festen Widerstandes des zweiten Potentialteilungsselements angeschlossen ist, und das vierte Potentialteilungsselement einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an ein anderes Ende des festen Widerstandes des dritten Potentialteilungsselements angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate an die Drain davon angeschlossen ist.

Gemäß einem elften Aspekt der vorliegenden Erfindung ist die Ausgabepufferschaltung, wie sie als der neunte Aspekt beschrieben wurde, derart, daß das erste Potentialteilungsselement einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate an eine Drain davon angeschlossen ist, und daß das zweite Potentialteilungsselement einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des ersten Potentialteilungsselements angeschlossen ist, und von dem ein Gate an die zweite Leistungsleitung angeschlossen ist, und wobei das dritte Potentialteilungsselement einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des zweiten Potentialteilungsselements angeschlossen ist, und von dem ein Gate an die erste Leistungsleitung angeschlossen ist, und das vierte Potentialteilungsselement einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an eine Quelle des n-Kanal-Isolationstyp-Feldeffekttransistors des dritten Potentialteilungsselements angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen

sen ist, und von dem ein Gate an die Drain davon angeschlossen ist.

Gemäß dem elften Aspekt der vorliegenden Erfindung ist, wenn die eingeschalteten Widerstandswerte der p-Kanal-Isolationsgatetyp-Feldeffekttransistoren kleiner werden und die eingeschalteten Widerstandswerte der n-Kanal-Isolationsgatetyp-Feldeffekttransistoren größer werden aufgrund von Herstellungsprozeßvariationen, ein eingeschalteter Widerstandswert des p-Kanal-Isolationsgatetyp-Feldeffekttransistors, der als die erste variable Widerstandsvorrichtung dient, relativ klein, während der eingeschaltete Widerstandswert des n-Kanal-Isolationsgatetyp-Feldeffekttransistors, der als die zweite variable Widerstandsvorrichtung dient, relativ groß ist. Da die p-Kanal-Isolationsgatetyp-Feldeffekttransistoren der ersten und zweiten Potentialteilungselemente verringerte Widerstandswerte haben und die n-Kanal-Isolationsgatetyp-Feldeffekttransistoren der dritten und vierten Potentialteilungselemente erhöhte Widerstandswerte haben, ist jedoch die feste Spannung erhöht, die als eine Offset-Kraft dient, um den eingeschalteten Widerstandswert des p-Kanal-Isolationsgatetyp-Feldeffekttransistors der ersten variablen Widerstandsvorrichtung größer und den eingeschalteten Widerstandswert des n-Kanal-Isolationsgatetyp-Feldeffekttransistors der zweiten variablen Widerstandsvorrichtung kleiner zu machen.

Umgekehrt ist, wenn die eingeschalteten Widerstandswerte der p-Kanal-Isolationsgatetyp-Feldeffekttransistoren größer werden und die eingeschalteten Widerstandswerte der n-Kanal-Isolationsgatetyp-Feldeffekttransistoren kleiner werden aufgrund von Herstellungsprozeßvariationen, ein eingeschalteter Widerstandswert des p-Kanal-Isolationsgatetyp-Feldeffekttransistors, der als die erste variable Widerstandsvorrichtung dient, relativ groß, während der eingeschaltete Widerstandswert des n-Kanal-Isolationsgatetyp-Feldeffekttransistors, der als die zweite variable Widerstandsvorrichtung dient, relativ klein ist. Da die p-Kanal-Isolationsgatetyp-Feldeffekttransistoren der ersten und zweiten Potentialteilungselemente einen erhöhten Widerstand haben und die n-Kanal-Isolationsgatetyp-Feldeffekttransistoren der dritten und vierten Potentialteilungselemente einen verringerten Widerstandswert haben, ist jedoch die feste Spannung verringert, die als eine Offset-Kraft dient, um den eingeschalteten Widerstandswert des p-Kanal-Isolationsgatetyp-Feldeffekttransistors der ersten variablen Widerstandsvorrichtung kleiner und den eingeschalteten Widerstandswert des n-Kanal-Isolationsgatetyp-Feldeffekttransistors der zweiten variablen Widerstandsvorrichtung größer zu machen.

Entsprechend werden, selbst wenn die eingeschalteten Widerstandswerte der p-Kanal-Isolationsgatetyp-Feldeffekttransistoren und der n-Kanal-Isolationsgatetyp-Feldeffekttransistoren aufgrund von Herstellungsprozeßvariationen variiert werden, durch den p-Kanal-Isolationsgatetyp-Feldeffekttransistor der ersten variablen Widerstandsvorrichtung und den n-Kanal-Isolationsgatetyp-Feldeffekttransistor der zweiten variablen Widerstandsvorrichtung ein elektrischer Strom fließen, der eine relativ kleine Variation hat.

Gemäß einem dreizehnten Aspekt der vorliegenden Erfindung enthält eine Ausgabepufferschaltung einen ersten Ausgangstransistor, der zwischen einer ersten Leistungsleitung und einem Ausgangsknoten angeschlossen ist, einen zweiten Ausgangstransistor, der zwischen dem Ausgangsknoten und einer zweiten Leistungsleitung angeschlossen ist, eine Ausgangstransistorsteuerschaltung, die erste und zweite Steuertransistoren enthält, um einen Ein-/Auszustand der ersten bzw. zweiten Ausgangstransistoren zu steuern, durch welche ersten und zweiten Steuertransistoren jeweilige

Ströme hindurchgehen, die die ersten bzw. zweiten Ausgangstransistoren steuern, und einen Kondensator zum Steuern einer Durchgangsrate eines Ausgabesignals, das zum Ausgangsknoten ausgehen wird.

Gemäß dem dreizehnten Aspekt der vorliegenden Erfindung gibt es kein Erfordernis, zwei Operationsverstärker zum Ansteuern der ersten und zweiten Ausgangstransistoren vorzusehen, und die zwei Steuertransistoren, die statt dessen vorgesehen sind, erzielen die beabsichtigte Funktion.

Andere Ziele und weitere Merkmale der vorliegenden Erfindung werden anhand der folgenden genauen Beschreibung deutlich, wenn sie im Zusammenhang mit den begleitenden Zeichnungen gelesen wird.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Fig. 1 ist ein Schaltungsdiagramm, das eine Konfiguration einer ersten Ausführung der vorliegenden Erfindung zeigt;

Fig. 2 ist ein Schaltungsdiagramm zum Erklären von Operationen der ersten Ausführung der vorliegenden Erfindung;

Fig. 3 ist ein Schaltungsdiagramm zum Erklären von Operationen der ersten Ausführung der vorliegenden Erfindung;

Fig. 4 ist ein Schaltungsdiagramm, das eine Konfiguration einer zweiten Ausführung der vorliegenden Erfindung zeigt;

Fig. 5 ist ein Schaltungsdiagramm zum Erklären von Operationen der zweiten Ausführung der vorliegenden Erfindung;

Fig. 6 ist ein Schaltungsdiagramm zum Erklären von Operationen der zweiten Ausführung der vorliegenden Erfindung;

Fig. 7 ist ein Schaltungsdiagramm, das eine Konfiguration einer dritten Ausführung der vorliegenden Erfindung zeigt;

Fig. 8 ist ein Schaltungsdiagramm, das eine Konfiguration einer vierten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 9 ist ein Schaltungsdiagramm, das ein Beispiel einer Konfiguration einer Ausgabepufferschaltung des Standes der Technik zeigt;

Fig. 10 ist ein Schaltungsdiagramm zum Erklären von Operationen der Ausgabepufferschaltung des Standes der Technik, die in der Fig. 9 gezeigt ist; und

Fig. 11 ist ein Schaltungsdiagramm zum Erklären von Operationen der Ausgabepufferschaltung des Standes der Technik, die in der Fig. 9 gezeigt ist.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGEN

Nachfolgend werden die ersten bis vierten Ausführungen der vorliegenden Erfindung unter Bezugnahme auf die Fig. 1 bis Fig. 8 beschrieben.

Erste Ausführung ** Fig. 1-3

Die Fig. 1 ist ein Schaltungsdiagramm, das eine Konfiguration einer ersten Ausführung der Erfindung zeigt. Die Fig. 1 zeigt eine Treiberschaltung 20 zum Zuführen eines Ausgabesignals AUS zum Anschlußfleck 1, der als ein Ausgabeanschluß dient, in Abhängigkeit von Treibereingaben PEN und NEN, und eine Vorspannungsschaltung 21 zum Zuführen von Spannungen VP und VN (< VP) zur Treiberschaltung 20.

Die Treiberschaltung 20 ist mit einem nMOS-Transistor

22 und einem pMOS-Transistor 23 anstelle der Operationsverstärker 8 bzw. 9 versehen, die in der Treiberschaltung 2 der Ausgabepufferschaltung des Standes der Technik vorgesehen sind, die in der Fig. 9 gezeigt ist. Bis auf diesen Unterschied hat die Treiberschaltung 20 dieselbe Konfiguration wie die Treiberschaltung 2.

Von dem nMOS-Transistor 22 ist eine Drain an das Gate des pMOS-Transistors 10 angeschlossen, eine Quelle davon an den Knoten N1 angeschlossen, und erhält ein Gate davon die Steuereingabe PEN. Ein-/Ausschaltzustände des nMOS-Transistors 22 werden durch die Treibereingabe PEN gesteuert.

Von dem pMOS-Transistor 23 ist eine Quelle an den Knoten N1 angeschlossen, eine Drain davon an das Gate des nMOS-Transistors angeschlossen, und ein Gate davon angeschlossen, um die Treibereingabe NEN zu erhalten. Die Treibereingabe NEN steuert den pMOS-Transistor 23, um ein-/ausgeschaltet zu werden.

Bei der ersten Ausführung der vorliegenden Erfindung bilden die pMOS-Transistoren 4, 5, 12 und 23 und die nMOS-Transistoren 6, 7, 13 und 22 zusammen eine Ausgangstransistorsteuerschaltung.

In der Vorspannungsschaltung 21 sind ein pMOS-Transistor 24 und ein nMOS-Transistor 25 anstelle der Widerstände 17 und 18 im Gegensatz zur Vorspannungsschaltung 3 der Ausgabepufferschaltung des Standes der Technik vorgesehen, die in der Fig. 9 gezeigt ist. Andere Konfigurationen sind die selben zwischen der Vorspannungsschaltung 21 und der Vorspannungsschaltung 3.

Von dem pMOS-Transistor 24 ist eine Quelle an die Drain des pMOS-Transistors 15 angeschlossen, und ein Gate davon an die VSS-Leistungsleitung angeschlossen. Von dem nMOS-Transistor 25 ist eine Drain an die Drain des pMOS-Transistors 24 angeschlossen, ein Gate davon an die VDD-Leistungsleitung angeschlossen, und eine Quelle davon an die Drain des nMOS-Transistors 16 angeschlossen.

Bei der ersten Ausführung der vorliegenden Erfindung, die eine Konfiguration hat, wie sie oben beschrieben wurde, werden der pMOS-Transistor 5 und der nMOS-Transistor 6 ein- bzw. ausgeschaltet, wenn beide Treibereingaben PEN und NEN HOCH sind, wie in der Fig. 2 gezeigt ist. In diesem Fall wird die Spannung am Knoten N1 niedrig.

Auch wird der pMOS-Transistor 12 ausgeschaltet und wird der nMOS-Transistor 22 eingeschaltet, so daß der pMOS-Transistor 10 eingeschaltet wird. Ferner wird der pMOS-Transistor ausgeschaltet und wird der nMOS-Transistor 13 eingeschaltet, so daß der nMOS-Transistor 11 ausgeschaltet wird. Das Ausgabesignal AUS ist somit auf dem HOCH-Pegel.

Wenn der Kondensator 14 nicht vorgesehen wäre, würde das Ausgabesignal AUS sofort ansteigen, wenn der pMOS-Transistor 10 eingeschaltet wird. Wegen des Vorhandenseins des Kondensators 14 wird jedoch die Anstiegszeit T_r des Ausgabesignals AUS länger, da der Kondensator 14 anfänglich elektrische Ladung hält.

Dies wird anhand eines elektrischen Stromflusses beschrieben. Wenn sowohl die Treibereingabe PEN, als auch die Treibereingabe NEN HOCH sind, wird ein Strom I_{p1} erzeugt über Entladung des Gates des pMOS-Transistors 10, und wird ein Strom I_{c1} erzeugt durch Ladung, die vom Kondensator 14 zugeführt wird. Der Strom I_{p1} und der Strom I_{c1} fließen in die VSS-Leistungsleitung über die nMOS-Transistoren 6 und 7.

Der Strombetrag I_{n2} , der durch die nMOS-Transistoren 6 und 7 fließen kann, ist durch den eingeschalteten Widerstandswert des nMOS-Transistors 7 beschränkt, d. h. durch die Spannung VN beschränkt. Deswegen kann nur ein beschränkter Strombetrag, der geringer als ein Strom I_{fb1} ist,

der den Strom I_{p1} und den Strom I_{c1} kombiniert, durch die nMOS-Transistoren 6 und 7 zur VSS-Leistungsleitung fließen. Als ein Ergebnis zeigt das Gate des pMOS-Transistors 10 keinen rapiden Spannungsabfall, so daß der pMOS-Transistor 10 graduell eingeschaltet wird. Dies verlängert die Anstiegszeit T_r des Ausgabesignals AUS.

Auf diese Weise kann die Anstiegszeit T_r des Ausgabesignals der Ausgabepufferschaltung eingestellt werden durch Steuern der Spannung VN, die an das Gate des nMOS-Transistors 7 angelegt ist. Die Steuerung der Spannung VN kann bewirkt werden durch Ändern der eingeschalteten Widerstandswerte der nMOS-Transistoren 16 und 25 in der Vorspannungsschaltung 21, was erzielt wird durch Änderung der Gatelängen und Gateweiten der nMOS-Transistoren 16 und 25. Wenn sowohl die Treibereingabe PEN, als auch die Treibereingabe NEN NIEDRIG sind, wie in der Fig. 3 gezeigt ist, werden der pMOS-Transistor 5 und der nMOS-Transistor 6 ein- bzw. ausgeschaltet, so daß die Spannung am Knoten N1 HOCH wird.

Auch wird der nMOS-Transistor 22 ausgeschaltet und wird der pMOS-Transistor 12 eingeschaltet, so daß der pMOS-Transistor 10 ausgeschaltet wird. Ferner wird der nMOS-Transistor 13 ausgeschaltet und wird der pMOS-Transistor 23 eingeschaltet, so daß der nMOS-Transistor 11 eingeschaltet wird. In diesem Fall ist das Ausgabesignal AUS daher auf dem NIEDRIG-Pegel.

Wenn der Kondensator 14 nicht vorgesehen wäre, würde das Ausgabesignal AUS sofort abfallen, wenn der nMOS-Transistor 11 eingeschaltet wird. Wegen des Vorhandenseins des Kondensators 14 wird jedoch die Abfallzeit T_f des Ausgabesignals AUS länger, da eine elektrische Ladung vom Kondensator 14 zugeführt wird.

Dies wird anhand eines elektrischen Stromflusses beschrieben. Wenn sowohl die Treibereingabe PEN, als auch die Treibereingabe NEN NIEDRIG sind, wird ein Strom I_{n1} durch Ladung erzeugt, die dem Gate des nMOS-Transistors 11 über die pMOS-Transistoren 4 und 5 und den pMOS-Transistor 23 zugeführt wird, und wird ein Strom I_{c2} erzeugt durch Ladung, die dem Kondensator über die pMOS-Transistoren 4 und 5 zugeführt wird.

Der Strombetrag I_{p2} , der durch die pMOS-Transistoren 4 und 5 fließen kann, ist durch den eingeschalteten Widerstandswert des pMOS-Transistors 4 beschränkt, d. h. durch die Spannung VP beschränkt. Deswegen kann nur ein beschränkter Strombetrag, der geringer als ein Strom I_{fb2} ist, der den Strom I_{n1} und den Strom I_{c2} kombiniert, durch die pMOS-Transistoren 4 und 5 von der VDD-Leistungsleitung fließen. Als ein Ergebnis zeigt das Gate des nMOS-Transistors 11 keinen rapiden Spannungsanstieg, so daß der nMOS-Transistor 11 graduell eingeschaltet wird. Dies verlängert die Abfallzeit T_f des Ausgabesignals AUS.

Auf diese Weise kann die Abfallzeit T_f des Ausgabesignals AUS der Ausgabepufferschaltung eingestellt werden durch Steuern der Spannung VP, die an das Gate des pMOS-Transistors 4 angelegt wird. Die Steuerung der Spannung VP kann bewirkt werden durch Ändern der Widerstandswerte der pMOS-Transistoren 15 und 24 in der Vorspannungsschaltung 21, was erzielt wird durch Ändern von Gatelängen und Gateweiten der pMOS-Transistoren 15 und 24.

Wenn die Treibereingabe PEN NIEDRIG ist und die Treibereingabe NEN HOCH ist (nicht gezeigt), wird der nMOS-Transistor 22 ausgeschaltet, und wird der pMOS-Transistor 12 eingeschaltet, so daß der pMOS-Transistor 10 ausgeschaltet wird. Ferner wird der pMOS-Transistor 23 ausgeschaltet und wird der nMOS-Transistor 13 eingeschaltet, so daß der nMOS-Transistor 11 ausgeschaltet wird. In diesem Fall wird der Ausgang in einen Hochimpedanzzustand versetzt.

Gemäß der ersten Ausführung der vorliegenden Erfindung, wie sie oben beschrieben wurde, wird der pMOS-Transistor 10, der als ein Ausgangstransistor dient, durch den nMOS-Transistor 22 angesteuert, statt durch den Operationsverstärker 8 angesteuert zu werden, wie beim Stand der Technik, und wird der nMOS-Transistor 11, der als ein Ausgangstransistor dient, durch den pMOS-Transistor 23 angesteuert, statt durch den Operationsverstärker 9 angesteuert zu werden, wie beim Stand der Technik. Dies hilft, eine Kostenverringerung zu erzielen durch Verringern einer Anzahl von Schaltungselementen. Da es keine Operationsverstärker 8 und 9 gibt, die instabile Operationen zeigen könnten, wenn die Spannung VCNTN variiert, können stabile Ausgabeoperationen sichergestellt werden, selbst wenn es Herstellungsprozeßvariationen gibt.

Selbst wenn die eingeschalteten Widerstandswerte der pMOS-Transistoren kleiner werden und die eingeschalteten Widerstandswerte der nMOS-Transistoren größer werden aufgrund von Herstellungsprozeßvariationen, oder selbst wenn die eingeschalteten Widerstandswerte der pMOS-Transistoren größer werden und die eingeschalteten Widerstandswerte der nMOS-Transistoren kleiner werden, kann ein kombinierter eingeschalteter Widerstandswert des pMOS-Transistors 24 und des nMOS-Transistors 25 in einem relativ kleinen Variationsbereich begrenzt werden. Die Spannungen VP und VN sind somit stabil, wodurch die Anstiegszeit Tr und die Abfallzeit Tf des Ausgabesignals AUS stabilisiert werden.

Die Vorspannungsschaltung 21 besteht aus den pMOS-Transistoren 15 und 24 und den nMOS-Transistoren 16 und 25, und keine Widerstände mit festen Widerstandswerten werden verwendet. Die Spannungen VP und VN zum Einstellen der Anstiegszeit Tr und der Abfallzeit Tf können leicht geändert werden durch Steuern von Gatelängen und/oder Gateweiten der pMOS-Transistoren 15 und 24 und der nMOS-Transistoren 16 und 25. Das heißt, daß eine Einstellung der Anstiegszeit Tr und der Abfallzeit Tf des Ausgabesignals AUS leicht durchgeführt werden kann. Ferner können, da kein fester Widerstand verwendet wird, alle Elemente mit Ausnahme des Kondensators 14 durch MOS-Transistoren implementiert werden. Dies trägt zu einer Kostenverringerung bei.

Die Verwendung des pMOS-Transistors 24 und des nMOS-Transistors 25 bei der ersten Ausführung der vorliegenden Erfindung ist kein absolutes Erfordernis, und feste Widerstände können verwendet werden anstelle des pMOS-Transistors 24 und des nMOS-Transistors 25. In diesem Fall gehen solche Vorteile der ersten Ausführung, wie Stabilisierung der Spannungen VP und VN und eine leichte Einstellung der Anstiegszeit Tr und der Abfallzeit Tf des Ausgabesignals AUS verloren. Zumindest kann jedoch eine Kostenverringerung basierend auf einer Verringerung der Anzahl von Schaltungselementen erzielt werden. Ferner werden die Operationsverstärker 8 und 9, die eine Quelle instabiler Operationen sind, wenn eine Variation der Spannung VCNTN vorhanden ist, nicht verwendet. Dies stellt stabile Ausgabeoperationen sicher, selbst wenn Herstellungsprozeßvariationen vorhanden sind.

Zweite Ausführung ** Fig. 4-6

Fig. 4 ist ein Schaltungsdiagramm, das eine Konfiguration einer zweiten Ausführung der vorliegenden Erfindung zeigt. Die Fig. 4 zeigt eine Treiberschaltung 27 zum Zuführen eines Ausgabesignals AUS zum Anschlußknoten 1, der als ein Ausgabeanschluß dient, in Abhängigkeit von Treibereingaben PEN und NEN, und eine Vorspannungsschaltung 28 zum Zuführen einer Spannung VPN zur Treiberschaltung

27.

Die Treiberschaltung 20 der ersten Ausführung der vorliegenden Erfindung, wie sie in der Fig. 1 gezeigt ist, enthält den pMOS-Transistor 4, der die Spannung VP an seinem Gate erhält, und den nMOS-Transistor 7, der die Spannung VN an seinem Gate erhält. Bei der Treiberschaltung 27 ist das Gate des pMOS-Transistors 4 an das Gate des nMOS-Transistors 7 angeschlossen, und die kombinierten Gates erhalten eine gemeinsame Spannung VPN. Mit Ausnahme dieser Modifikation hat die Treiberschaltung 27 dieselbe Konfiguration wie die Treiberschaltung 20.

Die Vorspannungsschaltung 21 der ersten Ausführung der vorliegenden Erfindung, wie sie in der Fig. 1 gezeigt ist, führt die Spannung VP der Drain des pMOS-Transistors 15 dem Gate des pMOS-Transistors 4 zu, und führt die Spannung VN der Drain des nMOS-Transistors 16 dem Gate des nMOS-Transistors 7 zu. Im Gegensatz erhält die Vorspannungsschaltung 28 die Spannung VPN an einem Verbindungspunkt zwischen der Drain des pMOS-Transistors 24 und der Drain des nMOS-Transistors 25, und führt die Spannung VPN dem Gate des pMOS-Transistors 4 und des nMOS-Transistors 7 zu. Hinsichtlich anderer Konfigurationen ist die Vorspannungsschaltung 28 dieselbe wie die Vorspannungsschaltung 21.

Bei der zweiten Ausführung, die eine vorstehend aufgezeigte Konfiguration hat, wie sie in der Fig. 5 gezeigt ist, wird das Ausgabesignal AUS HOCH, wenn sowohl die Treibereingabe PEN, als auch die Treibereingabe NEN HOCH sind, was dasselbe Ergebnis wie die erste Ausführung erzeugt. Ferner kann die Anstiegszeit Tr des Ausgabesignals AUS verlängert werden, wie bei der ersten Ausführung der vorliegenden Erfindung.

Wie in der Fig. 6 gezeigt ist, wird, wenn sowohl die Treibereingabe PEN, als auch die Treibereingabe NEN NIEDRIG sind, das Ausgabesignal AUS NIEDRIG, wie bei der ersten Ausführung der vorliegenden Erfindung. Auch kann die Abfallzeit Tr des Ausgabesignals AUS verlängert werden, ähnlich zur vorliegenden Erfindung.

Ferner zeigt, wenn die Treibereingabe PEN NIEDRIG ist und die Treibereingabe NEN HOCH ist (nicht gezeigt), die Ausgabe einen Hochimpedanzzustand, wie bei der ersten Ausführung der vorliegenden Erfindung.

Gemäß der zweiten Ausführung der vorliegenden Erfindung, wie sie oben beschrieben wurde, wird der pMOS-Transistor 10, der als ein Ausgangstransistor dient, durch den nMOS-Transistor 22 angesteuert, statt durch den Operationsverstärker 8 angesteuert zu werden, wie beim Stand der Technik, und wird der nMOS-Transistor 11, der als ein Ausgangstransistor dient, durch den pMOS-Transistor 23 angesteuert, statt durch den Operationsverstärker 9 angesteuert zu werden; wie beim Stand der Technik. Diese Konfiguration ist dieselbe wie bei der ersten Ausführung, und hilft, eine Kostenverringerung durch Verringern einer Anzahl von Schaltungselementen zu erzielen. Da es keine Operationsverstärker 8 und 9 gibt, die instabile Operationen zeigen könnten, wenn die Spannung VCNTN variiert, werden stabile Ausgabeoperationen sichergestellt, selbst wenn es Herstellungsprozeßvariationen gibt.

Wenn die eingeschalteten Widerstandswerte der pMOS-Transistoren kleiner werden und die eingeschalteten Widerstandswerte der nMOS-Transistoren größer werden aufgrund von Herstellungsprozeßvariationen ist ein eingeschalteter Widerstandswert des pMOS-Transistors 4 relativ klein, während der eingeschaltete Widerstandswert des nMOS-Transistors 7 relativ groß ist. Da die Spannung VPN in diesem Fall ansteigt, wirkt diese Zunahme bei der Spannung VPN als eine Offset-Kraft, um den eingeschalteten Widerstandswert des pMOS-Transistors 4 größer zu machen und

den eingeschalteten Widerstandswert des nMOS-Transistors 7 kleiner zu machen.

Umgekehrt ist, wenn die eingeschalteten Widerstandswerte der pMOS-Transistoren größer werden und die eingeschalteten Widerstandswerte der nMOS-Transistoren kleiner werden aufgrund von Herstellungsprozeßvariationen, ein eingeschalteter Widerstandswert des pMOS-Transistors 4 relativ groß, während der eingeschaltete Widerstandswert des nMOS-Transistors 7 relativ klein ist. Da die Spannung VPN in diesem Fall abnimmt, wirkt diese Abnahme bei der Spannung VPN jedoch als eine Offset-Kraft, um den eingeschalteten Widerstandswert des pMOS-Transistors 4 kleiner und den eingeschalteten Widerstandswert des nMOS-Transistors 7 größer zu machen.

Entsprechend kann die zweite Ausführung der vorliegenden Erfindung Variationen des Stroms I_{p2} und I_{n2} unterdrücken, wenn die eingeschalteten Widerstandswerte der pMOS-Transistoren und der nMOS-Transistoren aufgrund von Herstellungsprozeßvariationen variiert werden. Dies trägt zur Stabilisierung der Anstiegszeit T_r und der Abfallzeit T_f des Ausgabesignals AUS bei.

Bei der zweiten Ausführung der vorliegenden Erfindung wird kein fester Widerstand verwendet, so daß alle Elemente mit Ausnahme des Kondensators 4 durch MOS-Transistoren implementiert werden können. Dies trägt zu einer Kostenverringerung bei.

Bei der zweiten Ausführung der vorliegenden Erfindung ist die Gate-Spannung des pMOS-Transistors 4 niedriger als jene der ersten Ausführung, und ist die Gate-Spannung des nMOS-Transistors 7 höher als jene der ersten Ausführung. Deswegen sind die eingeschalteten Widerstandswerte des pMOS-Transistors 4 und des nMOS-Transistors 7 kleiner, was zu einer kürzeren Anstiegszeit T_r und einer kürzeren Abfallzeit T_f des Ausgabesignals AUS führt. Dies kann einen Fall erzeugen, in welchem der USB-Standard nicht erfüllt ist. Dieses Problem kann jedoch leicht überwunden werden durch Verlängern der Gatelängen der pMOS-Transistoren 4, 15 und 24 und der nMOS-Transistoren 7, 16 und 25.

Die Verwendung des pMOS-Transistors 24 und des nMOS-Transistors 25 bei der zweiten Ausführung der vorliegenden Erfindung ist kein absolutes Erfordernis, und feste Widerstände können verwendet werden anstelle des pMOS-Transistors 24 und des nMOS-Transistors 25. In diesem Fall geht ein solcher Vorteil der zweiten Ausführung, wie Stabilisierung der Spannung VPN, verloren. Zumindest kann jedoch eine Kostenverringerung basierend auf einer Verringerung in der Anzahl von Schaltungselementen erzielt werden. Ferner werden die Operationsverstärker 8 und 9, die eine Quelle unstabiler Operationen sein können, wenn eine Variation der Spannung VCNTR vorhanden ist, nicht verwendet. Dies stellt stabile Ausgabeoperationen sicher, selbst wenn Herstellungsprozeßvariationen vorhanden sind.

Dritte Ausführung ** Fig. 7

Die Fig. 7 ist ein Schaltungsdiagramm, das eine Konfiguration einer dritten Ausführung der vorliegenden Erfindung zeigt. Die dritte Ausführung der vorliegenden Erfindung enthält eine Treiberschaltung 30, die von der Treiberschaltung 20 der ersten Ausführung verschieden ist, die in der Fig. 1 gezeigt ist. Mit dieser Ausnahme hat die dritte Ausführung dieselbe Konfiguration wie die erste Ausführung.

Die Treiberschaltung 30 enthält einen Kondensator 31, der aus einer Mehrzahl von Gate-Kondensatoren von nMOS-Transistoren gebildet ist, die parallel miteinander verbunden sind (die Mehrzahl von nMOS-Transistoren sind miteinander kombiniert und als ein einzelner nMOS-Transi-

stor in der Fig. 7 gezeigt). Der Kondensator 31 ist anstelle des Kondensators 14 der Treiberschaltung 20 der ersten Ausführung vorgesehen. Mit Ausnahme dieses Unterschiedes hat die Treiberschaltung 30 dieselbe Konfiguration wie die Treiberschaltung 20 der ersten Ausführung.

Gemäß der dritten Ausführung der vorliegenden Erfindung wird eine Kostenverringerung durch Einsetzen einer geringeren Anzahl von Schaltungselementen erzielt, und werden die Anstiegszeit T_r und die Abfallzeit T_f des Ausgabesignals AUS leicht eingestellt und stabilisiert in derselben Weise wie bei der ersten Ausführung der vorliegenden Erfindung. Ferner kann, da alle Schaltungselemente durch MOS-Transistoren implementiert werden können, eine weitere Kostenverringerung durchgeführt werden im Vergleich zur ersten Ausführung der vorliegenden Erfindung.

Die Anzahl von Gates der nMOS-Transistoren, die den Kondensator 31 bilden, kann abhängig sein von dem eingesetzten Herstellungsprozeß, Leistungsspannungen und Gatelängen anderer Transistoren.

Bei der dritten Ausführung der vorliegenden Erfindung ist der Kondensator 31 implementiert durch paralleles Verbinden von Gates von nMOS-Transistoren. Alternativ kann ein solcher Kondensator implementiert werden durch paralleles Verbinden von Gates von pMOS-Transistoren miteinander.

Vierte Ausführung ** Fig. 8

Die Fig. 8 ist ein Schaltungsdiagramm, das eine Konfiguration einer vierten Ausführung der vorliegenden Erfindung zeigt. Die vierte Ausführung der vorliegenden Erfindung enthält eine Treiberschaltung 33, die sich von der Treiberschaltung 27 der zweiten Ausführung unterscheidet, die in der Fig. 4 gezeigt ist. Mit dieser Ausnahme hat die vierte Ausführung dieselbe Konfiguration wie die zweite Ausführung.

Die Treiberschaltung 33 enthält einen Kondensator 34, der aus einer Mehrzahl von Gate-Kondensatoren von nMOS-Transistoren gebildet ist, die parallel miteinander verbunden sind (die Mehrzahl von nMOS-Transistoren sind miteinander kombiniert und als ein einzelner nMOS-Transistor in der Fig. 8 gezeigt). Der Kondensator 34 ist anstelle des Kondensators 14 der Treiberschaltung 27 der zweiten Ausführung vorgesehen. Mit Ausnahme dieses Unterschiedes hat die Treiberschaltung 33 dieselbe Konfiguration wie die Treiberschaltung 27 der zweiten Ausführung.

Gemäß der vierten Ausführung der vorliegenden Erfindung wird eine Kostenverringerung durch Einsetzen einer geringeren Anzahl von Schaltungselementen erzielt, und die Anstiegszeit T_r und die Abfallzeit T_f des Ausgabesignals AUS werden leicht eingestellt und stabilisiert in derselben Weise wie bei der zweiten Ausführung der vorliegenden Erfindung. Ferner kann, da alle Schaltungselemente durch MOS-Transistoren implementiert werden, eine weitere Kostenverringerung durchgeführt werden im Vergleich zur zweiten Ausführung der vorliegenden Erfindung.

Die Anzahl von Gates der nMOS-Transistoren, die den Kondensator 34 bilden, kann abhängen von dem eingesetzten Herstellungsprozeß, Leistungsspannungen und Gatelängen anderer Transistoren.

Bei der vierten Ausführung der vorliegenden Erfindung ist der Kondensator 34 durch paralleles Verbinden von Gates von nMOS-Transistoren implementiert. Alternativ kann ein solcher Kondensator implementiert werden durch paralleles Verbinden von Gates von pMOS-Transistoren miteinander.

Gemäß der oben beschriebenen vorliegenden Erfindung gibt es kein Erfordernis, zwei Operationsverstärker zum Ansteuern der zwei Ausgangstransistoren vorzusehen. Statt

dessen sind zwei Schaltschaltungen vorgesehen für den Zweck des Ansteuern der Ausgangstransistoren. Diese Konfiguration beinhaltet eine kleinere Anzahl von Schaltungselementen und erzielt somit eine Kostenverringerung. Ferner werden dadurch, daß es kein Erfordernis für Operationsverstärker gibt, die eine instabile Operation zeigen würden, wenn eine ihnen zugeführte Referenzspannung variiert, stabile Ausgabeoperationen sichergestellt, selbst wenn es eine Herstellungsprozeßvariation gibt.

Ferner kann eine Einstellung der Anstiegszeit und der Abfallzeit des Ausgabesignals durch Gatelängen und/oder Gateweiten der Isolationsgatetyp-Feldeffekttransistoren durchgeführt werden, die die Vorspannungsschaltung bilden. Dies gestattet eine leichte Einstellung der Anstiegszeit und der Abfallzeit.

Ferner ist die vorliegende Erfindung nicht auf diese Ausführungen beschränkt, sondern verschiedene Variationen und Modifikationen können durchgeführt werden, ohne den Umfang der vorliegenden Erfindung zu verlassen.

Die vorliegende Anmeldung basiert auf der japanischen Prioritätsanmeldung Nr. 10-216582, eingereicht am 31. Juli 1998 beim Japanischen Patentamt, und die vollständigen Inhalte davon sind durch Bezugnahme hiermit hierin aufgenommen.

Patentansprüche

1. Ausgabepufferschaltung, dadurch gekennzeichnet, daß sie enthält:

einen ersten Ausgangstransistor (10), der zwischen einer ersten Leistungsleitung und einem Ausgangsknoten angeschlossen ist,
einen zweiten Ausgangstransistor (11), der zwischen dem Ausgangsknoten und einer zweiten Leistungsleitung angeschlossen ist,
eine Ausgangstransistorsteuerschaltung, die einen Ein-/Auszustand der ersten und zweiten Ausgangstransistoren (10, 11) steuert, und
einen Kondensator (14, 31, 34) zum Steuern einer Durchgangsrates eines Ausgabesignals, das zum Ausgangsknoten ausgegeben wird, wobei die Ausgangstransistorsteuerschaltung enthält:
eine Hinaufziehschaltung (4, 5), die zwischen der ersten Leistungsleitung und einem gegebenen Knoten angeschlossen ist,
eine Herabziehschaltung (6, 7), die zwischen dem gegebenen Knoten und der zweiten Leistungsleitung angeschlossen ist,
eine erste Schaltungsvorrichtung (22), die zwischen einem Gate des ersten Ausgangstransistors (10) und dem gegebenen Knoten angeschlossen ist,
eine zweite Schaltungsvorrichtung (12), die zwischen der ersten Leistungsleitung und dem Gate des ersten Ausgangstransistors (10) angeschlossen ist,
eine dritte Schaltungsvorrichtung (23), die zwischen einem Gate des zweiten Ausgangstransistors (11) und dem gegebenen Knoten angeschlossen ist, und
eine vierte Schaltungsvorrichtung (13), die zwischen dem Gate des zweiten Ausgangstransistors (11) und der zweiten Leistungsleitung angeschlossen ist, wobei der Kondensator (14, 31, 34) zwischen dem Ausgangsknoten und dem gegebenen Knoten angeschlossen ist.

2. Ausgabepufferschaltung nach Anspruch 1, dadurch gekennzeichnet, daß

der erste Ausgangstransistor (10) einen p-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Drain an den Ausgangsknoten angeschlossen ist, und

geschlossen ist, und

der zweite Ausgangstransistor (11) einen n-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Drain an den Ausgangsknoten angeschlossen ist, die erste Schaltungsvorrichtung (22), die erste Schaltungsvorrichtung (22) einen n-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem ein Drain an das Gate des ersten Ausgangstransistors (10) angeschlossen ist, und von dem eine Quelle an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch eine erste Treibereingabe gesteuert wird,

die zweite Schaltungsvorrichtung (12) einen p-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem ein Drain an das Gate des ersten Ausgangstransistors (10) angeschlossen ist, und von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Ein-/Auszustand durch die erste Treibereingabe gesteuert wird,

die dritte Schaltungsvorrichtung (23) einen p-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem ein Drain an das Gate des zweiten Ausgangstransistors (11) angeschlossen ist, und von dem eine Quelle an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch eine zweite Treibereingabe gesteuert wird, und

die vierte Schaltungsvorrichtung (13) einen n-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem ein Drain an das Gate des zweiten Ausgangstransistors (11) angeschlossen ist, und von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Ein-/Auszustand durch die zweite Treibereingabe gesteuert wird.

3. Ausgabepufferschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Hinaufziehschaltung (4, 5) enthält:

eine erste variable Widerstandsvorrichtung (4), und
eine fünfte Schaltungsvorrichtung (5), welche erste variable Widerstandsvorrichtung (4) und fünfte Schaltungsvorrichtung (5) in Reihe zwischen der ersten Leistungsleitung und dem gegebenen Knoten angeschlossen sind, und
wobei die Herabziehschaltung (6, 7) enthält:
eine sechste Schaltungsvorrichtung (6), und
eine zweite variable Widerstandsvorrichtung (7), welche sechste Schaltungsvorrichtung (6) und zweite variable Widerstandsvorrichtung (7) in Reihe zwischen dem gegebenen Knoten und der zweiten Leistungsleitung angeschlossen sind.

4. Ausgabepufferschaltung nach Anspruch 3, dadurch gekennzeichnet, daß

die erste variable Widerstandsvorrichtung (4) einen p-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate eine erste feste Spannung erhält,

und
die fünfte Schaltungsvorrichtung (5) einen p-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem eine Quelle an die Drain des p-Kanal-Isolationsgatetyp-Feldeffekttransistors der ersten variablen Widerstandsvorrichtung (4) angeschlossen ist, und von dem ein Drain an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch die zweite Treibereingabe gesteuert wird,

und wobei
die sechste Schaltungsvorrichtung (6) einen n-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem eine

Drain an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch die erste Treiber-eingabe gesteuert wird, und die zweite variable Widerstandsvorrichtung (7) einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an die Quelle des n-Kanal-Isolationstyp-Feldeffekttransistor der sechsten Schaltungsvorrichtung (6) angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate eine zweite feste Spannung erhält.

5. Ausgabepufferschaltung nach Anspruch 4, dadurch gekennzeichnet, daß ferner eine Vorspannungsschaltung (21) enthalten ist, die erste bis dritte Potentialteilungs-elemente enthält, die in Reihe zwischen der ersten Leistungsleitung und der zweiten Leistungsleitung angeschlossen sind, wobei ein Verbindungspunkt zwischen den ersten und zweiten Potentialteilungs-elementen die erste feste Spannung erzeugt, und ein Verbindungspunkt zwischen dem zweiten und dritten Potentialteilungs-elementen die zweite feste Spannung erzeugt.

6. Ausgabepufferschaltung nach Anspruch 5, dadurch gekennzeichnet, daß das erste Potentialteilungs-element einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate an eine Drain davon angeschlossen ist, und daß das zweite Potentialteilungs-element einen festen Widerstand enthält, von dem ein Ende an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des ersten Potentialteilungs-elementes angeschlossen ist, daß das dritte Potentialteilungs-element einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an ein anderes Ende des festen Widerstandes des zweiten Potentialteilungs-elementes angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate an die Drain davon angeschlossen ist.

7. Ausgabepufferschaltung nach Anspruch 5, dadurch gekennzeichnet, daß das erste Potentialteilungs-element einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate an eine Drain davon angeschlossen ist, und daß das zweite Potentialteilungs-element einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des ersten Potentialteilungs-elementes angeschlossen ist, und von dem ein Gate an die zweite Leistungsleitung angeschlossen ist, und einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des zweiten Potentialteilungs-elementes angeschlossen ist, und von dem ein Gate an die erste Leistungsleitung angeschlossen ist, daß das dritte Potentialteilungs-element einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an eine Quelle des n-Kanal-Isolationstyp-Feldeffekttransistors des zweiten Potentialteilungs-elementes angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate an die Drain davon angeschlossen ist.

8. Ausgabepufferschaltung nach Anspruch 3, dadurch gekennzeichnet, daß die erste variable Widerstandsvorrichtung (4) einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist und von dem ein Gate eine feste Spannung erhält, und

die fünfte Schaltungsvorrichtung (5) einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors der ersten variablen Widerstandsvorrichtung (4) angeschlossen ist, und von dem eine Drain an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch die zweite Treiber-eingabe gesteuert wird, und wobei die sechste Schaltungsvorrichtung (6) einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an den gegebenen Knoten angeschlossen ist, und von dem ein Ein-/Auszustand durch die erste Treiber-eingabe gesteuert wird, und die zweite variable Widerstandsvorrichtung (7) einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an die Quelle des n-Kanal-Isolationstyp-Feldeffekttransistors der sechsten Schaltungsvorrichtung (6) angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate die feste Spannung erhält.

9. Ausgabepufferschaltung nach Anspruch 8, dadurch gekennzeichnet, daß ferner eine Vorspannungsschaltung (21) enthalten ist, die erste bis vierte Potentialteilungs-elemente enthält, die in Reihe zwischen der ersten Leistungsleitung und der zweiten Leistungsleitung angeschlossen sind, wobei ein Verbindungspunkt zwischen den zweiten und dritten Potentialteilungs-elementen die feste Spannung erzeugt.

10. Ausgabepufferschaltung nach Anspruch 5, dadurch gekennzeichnet, daß das erste Potentialteilungs-element einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate an eine Drain davon angeschlossen ist, und das zweite Potentialteilungs-element einen festen Widerstand enthält, von dem ein Ende an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des ersten Potentialteilungs-elementes angeschlossen ist, und wobei das dritte Potentialteilungs-element einen festen Widerstand enthält, von dem ein Ende an ein anderes Ende des festen Widerstandes des zweiten Potentialteilungs-elementes angeschlossen ist, und das vierte Potentialteilungs-element einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Drain an ein anderes Ende des festen Widerstandes des dritten Potentialteilungs-elementes angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate an die Drain davon angeschlossen ist.

11. Ausgabepufferschaltung nach Anspruch 9, dadurch gekennzeichnet, daß das erste Potentialteilungs-element einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die erste Leistungsleitung angeschlossen ist, und von dem ein Gate an eine Drain davon angeschlossen ist, und das zweite Potentialteilungs-element einen p-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem eine Quelle an die Drain des p-Kanal-Isolationstyp-Feldeffekttransistors des ersten Potentialteilungs-elementes angeschlossen ist, und von dem ein Gate an die zweite Leistungsleitung angeschlossen ist, und wobei das dritte Potentialteilungs-element einen n-Kanal-Isolationstyp-Feldeffekttransistor enthält, von dem

eine Drain an die Drain des p-Kanal-Isolationsgatetyp-Feldeffekttransistors des zweiten Potentialteilungselements angeschlossen ist, und von dem ein Gate an die erste Leistungsleitung angeschlossen ist, und das vierte Potentialteilungselement einen n-Kanal-Isolationsgatetyp-Feldeffekttransistor enthält, von dem eine Drain an eine Quelle des n-Kanal-Isolationsgatetyp-Feldeffekttransistors des dritten Potentialteilungselements angeschlossen ist, von dem eine Quelle an die zweite Leistungsleitung angeschlossen ist, und von dem ein Gate an die Drain davon angeschlossen ist.

12. Ausgabepufferschaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Kondensator (14, 31, 34) eine Mehrzahl von Gate-Kapazitäten von parallel verbundenen Isolationsgatetyp-Feldeffekttransistoren enthält.

13. Ausgabepufferschaltung, dadurch gekennzeichnet, daß enthalten sind:

ein erster Ausgangstransistor (10), der zwischen einer ersten Leistungsleitung und einem Ausgangsknoten angeschlossen ist,

ein zweiter Ausgangstransistor (11), der zwischen dem Ausgangsknoten und einer zweiten Leistungsleitung angeschlossen ist,

eine Ausgangstransistorsteuerschaltung, die erste und zweite Steuertransistoren enthält, um einen Ein-/Auszustand der ersten bzw. zweiten Ausgangstransistoren (10, 11) zu steuern, durch welche ersten und zweiten Steuertransistoren jeweilige Ströme hindurchgehen, die die ersten bzw. zweiten Ausgangstransistoren (10, 11) steuern, und

ein Kondensator (14, 31, 34) zum Steuern einer Durchgangsrate eines Ausgabesignals, das zum Ausgangsknoten ausgegeben wird.

Hierzu 11 Seite(n) Zeichnungen

- Leerseite -

FIG.1

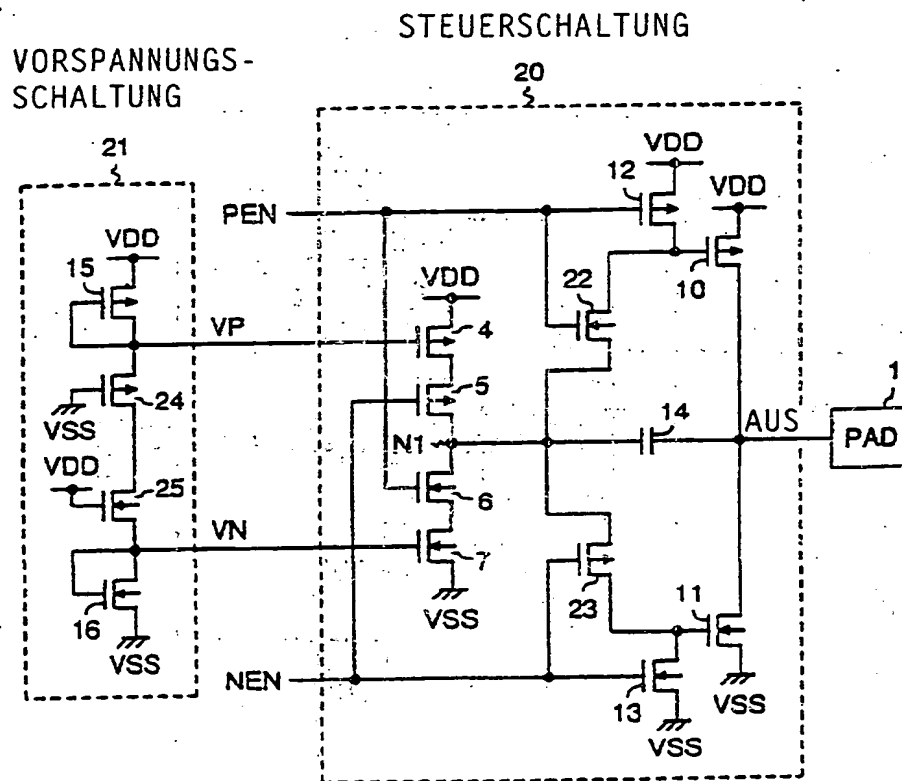


FIG.2

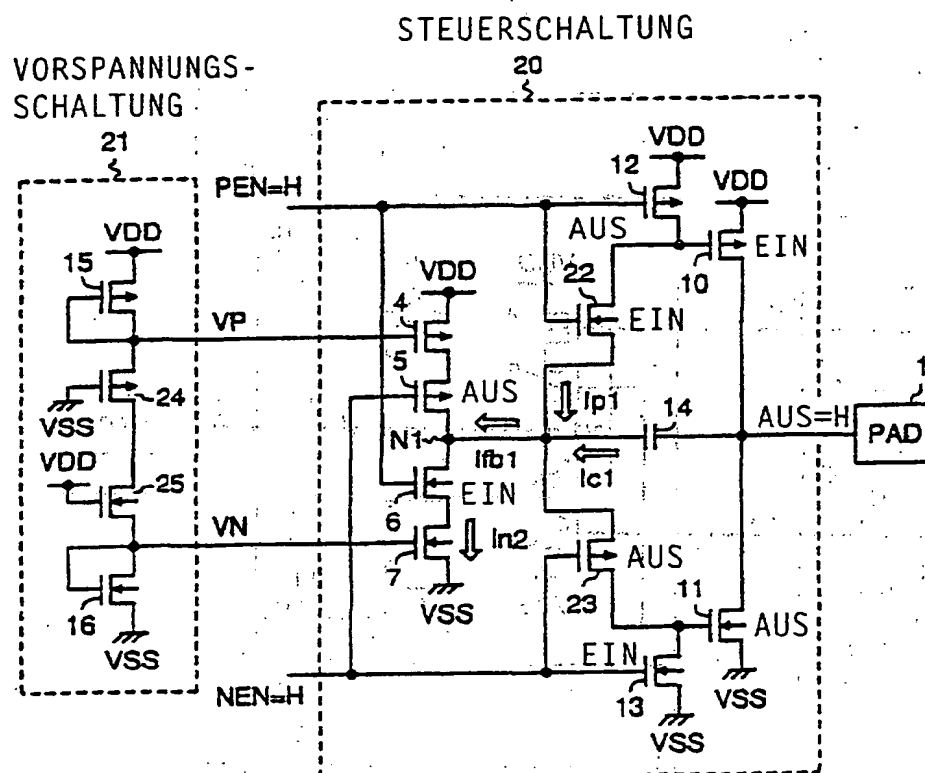


FIG.3

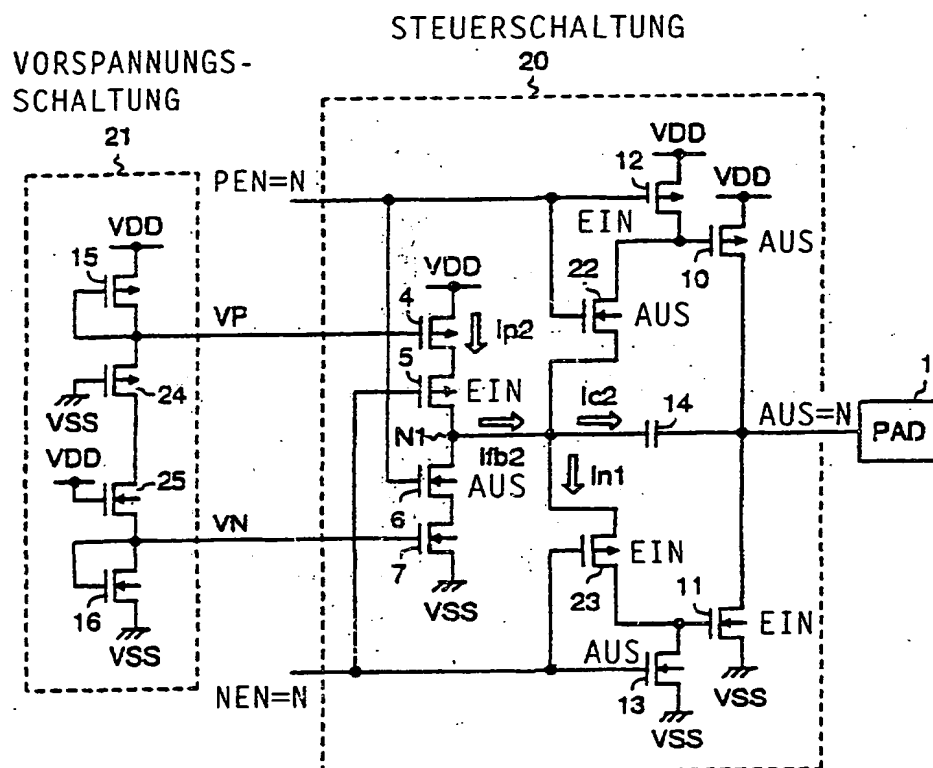


FIG.4

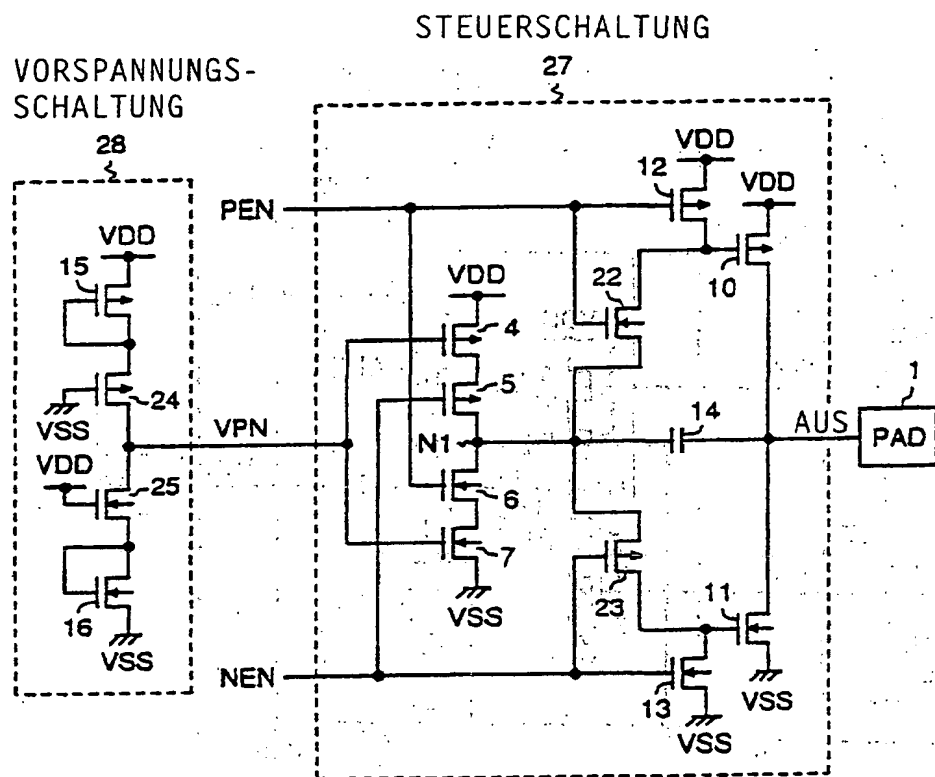


FIG.5

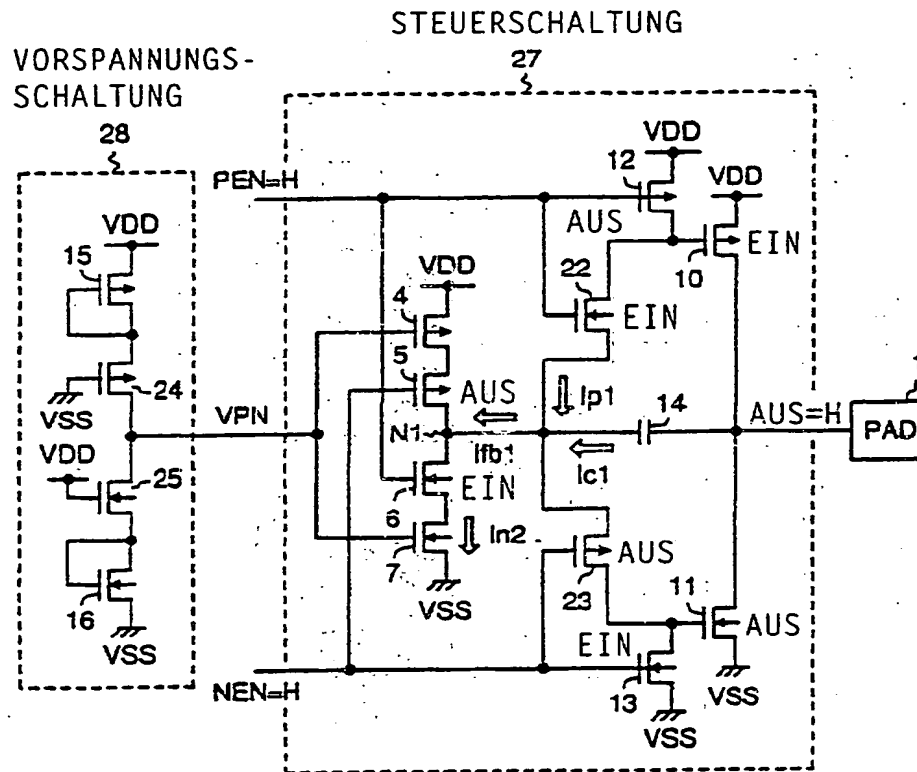


FIG.6

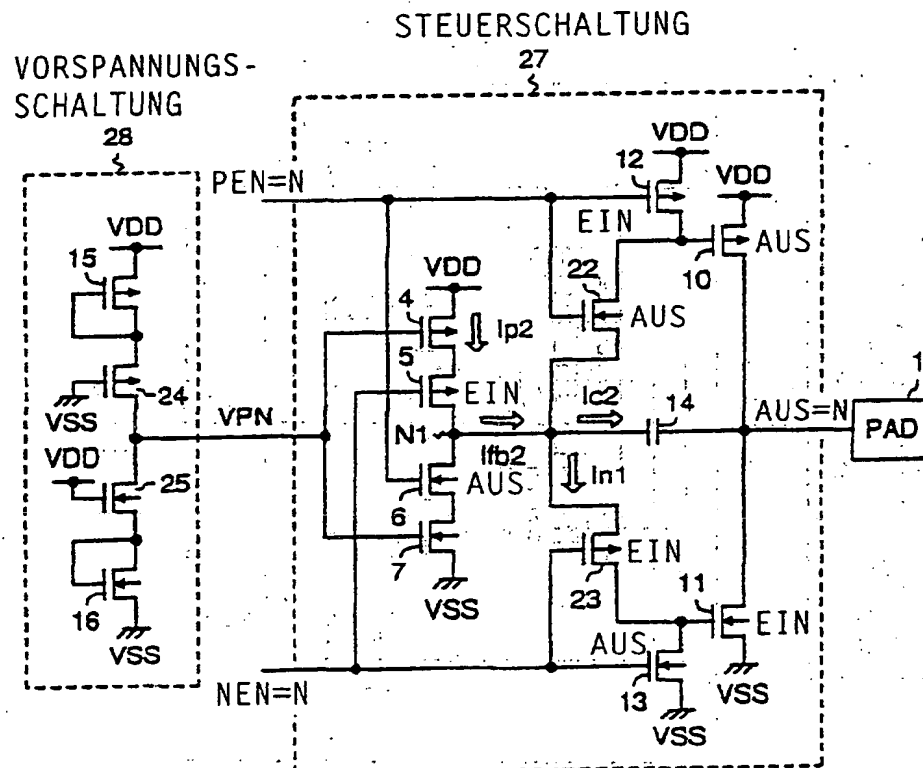


FIG.7

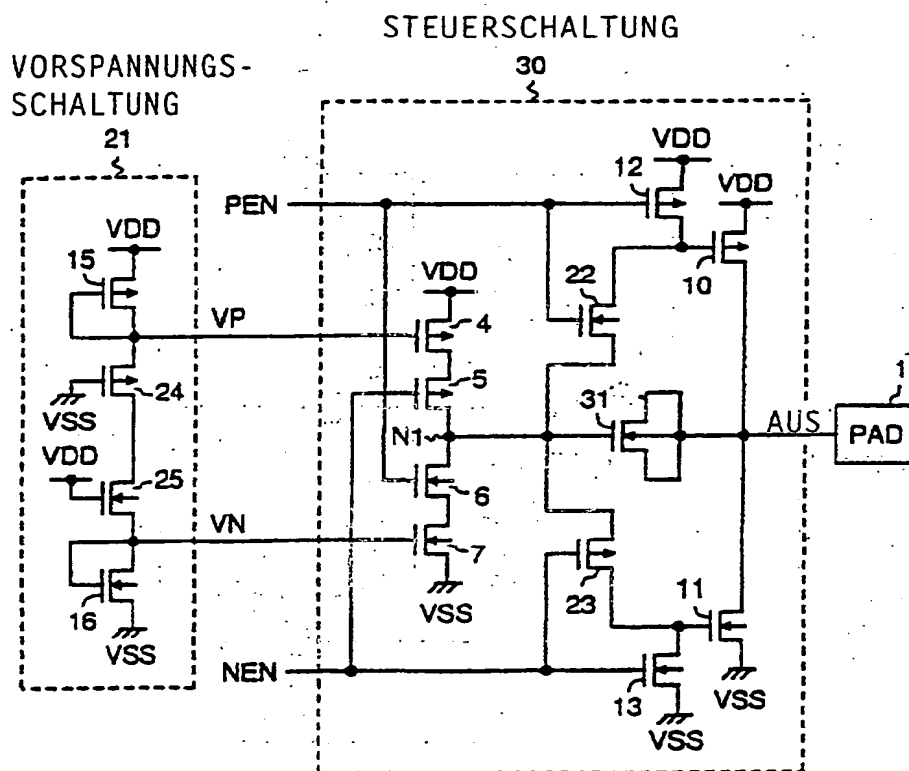


FIG.8

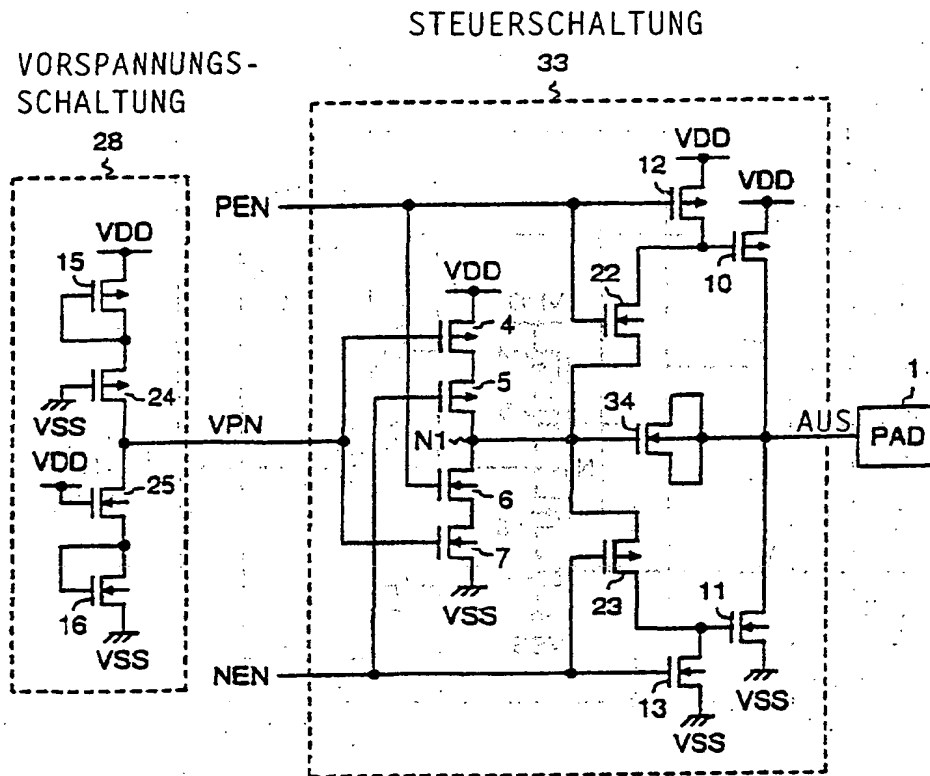


FIG.9

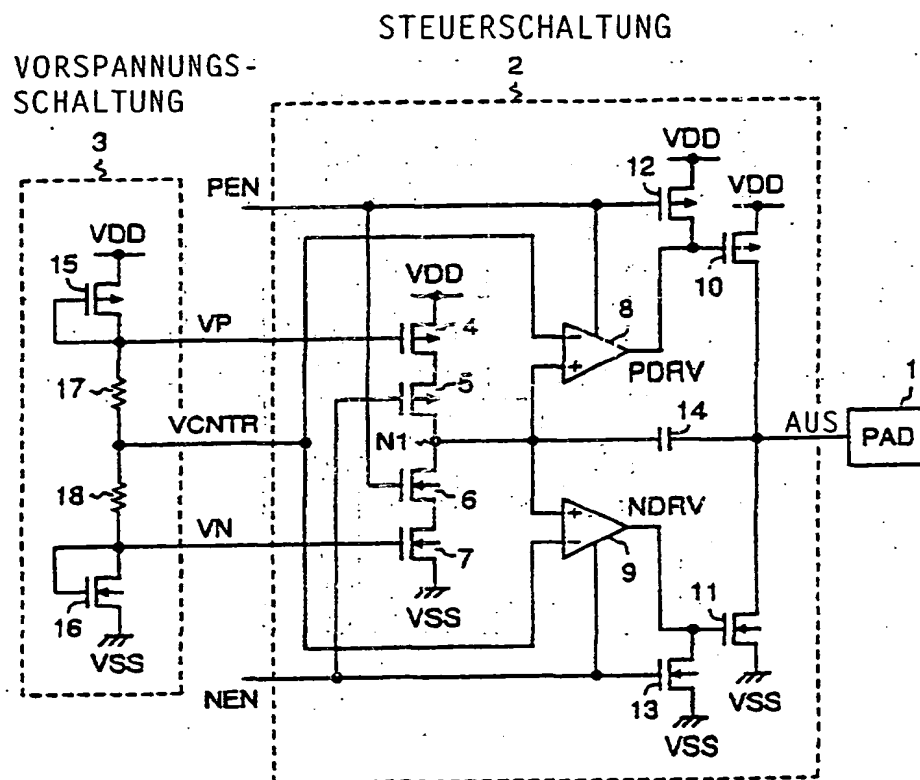


FIG.10

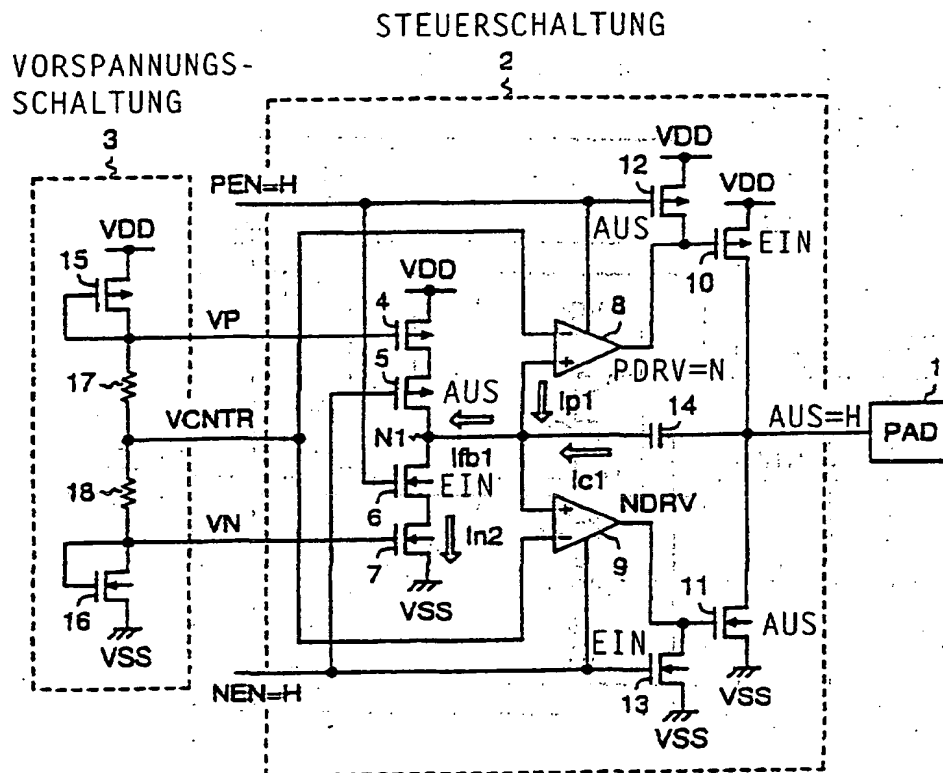


FIG.11

